

## 明 細 書

## 部品内蔵基板の製造方法

## 技術分野

本発明は、内部に半導体素子やチップ部品などの電子部品を内蔵した基板の製造方法に関する。

## 背景技術

従来、電子機器の小型化、高性能化の要求に伴い、さらなる実装面積の小型化、部品の低背化が要望されている。このような要望に応えるため、内部に半導体素子やチップ部品を内蔵した樹脂層を多層に積層した部品内蔵基板が知られている。

特許文献１（特開２００２－７６６３７号公報）には、プリプレグの片面に部品を接続した電極パターンを有する支持層を圧着・転写し、この未硬化状態のプリプレグに対して、別の部品を内蔵したプリプレグを一括して圧着積層することにより、部品内蔵基板を製造する方法が提案されている。

図８は特許文献１の図１５に示された例であり、（ａ）の工程ではビアホール１５０２を持つプリプレグ１５０１と、上面に電子部品１５１０、１５１１を接続した電極パターン１５０３を形成した支持層１５０４とを準備し、（ｂ）の工程でこれらを圧着する。（ｃ）の工程では、支持層１５０４を剝離して配線層１５１５を形成する。（ｄ）の工程で上記配線層１５１５に対し、電子部品１５０５が内蔵された別の配線層１５１４と、電極パターンおよび層間ビア１５０６、１５０７が形成された配線層１５１２、１５１３とを一括して圧着・積層することにより、（ｅ）のような多層構造の部品内蔵基板１５１６が形成される。

しかしながら、このような一括積層方法では、積層されたプリプレグの層間において、プリプレグの表面に転写されている電極パターン同士、あるいは電極パ

ターンと電子部品の電極とが接触することで電氣的に接続されるに過ぎないので、接続抵抗が大きくなったり、十分な接続信頼性が得られないという問題があった。しかも、積層されたプリプレグが２層の電極を間にしているため、プリプレグ同士の接合力が低く、剝離する可能性があった。

このような問題を解消するため、特許文献１の図１６には、硬化後の樹脂層の間に接着層となるスルーホール付きのプリプレグを設け、電極パターン同士あるいは電極パターンと電子部品との接続信頼性を得る方法も提案されているが、これでは部品を内蔵しない中間のプリプレグが必要になり、部品内蔵基板が厚くなるという問題がある。

そこで、本発明の目的は、積層される電極パターン間あるいは電極パターンと電子部品との接続抵抗を低くし、接続信頼性を高めることができる部品内蔵基板の製造方法を提供することにある。

他の目的は、内層電極の表裏面に電子部品を接続する場合に、内層電極と電子部品との接合信頼性を高めることができる部品内蔵基板の製造方法を提供することにある。

#### 発明の開示

上記目的を達成するため、請求項１に係る発明は、第１支持層上に形成された第１電極パターンに、第１電子部品を導電性接合材により接続固定する工程と、上記第１支持層の電子部品固定面側に第１プリプレグを間にして第２電極パターンを有する第２支持層を圧着・転写する工程と、上記第１プリプレグから第１支持層と第２支持層とを剝離する工程と、上記剝離工程の前または後に第１プリプレグを硬化させる工程と、上記第２電極パターンの裏面に第２電子部品を導電性接合材により接続固定する工程と、上記第２電子部品固定面側に第２プリプレグを間にして第３電極パターンを有する第３支持層を圧着・転写する工程と、上記第２プリプレグから第３支持層を剝離する工程と、上記剝離工程の前または後に第２プリプレグを硬化させる工程とを有し、上記工程を経てプリプレグと電極パ

ターンとを順次積層していくことを特徴とする部品内蔵基板の製造方法を提供する。

請求項 2 に係る発明は、支持層上に形成された電極パターンの表面に、第 1 電子部品を導電性接合材により接続固定する工程と、上記支持層の第 1 電子部品固定面側に第 1 プリプレグを圧着する工程と、上記第 1 プリプレグから上記支持層を剝離する工程と、上記剝離工程の前または後に第 1 プリプレグを硬化させる工程と、上記電極パターンの裏面に第 2 電子部品を導電性接合材により接続固定する工程と、上記第 2 電子部品固定面側に第 2 プリプレグを圧着する工程と、上記第 2 プリプレグを硬化させる工程とを有する部品内蔵基板の製造方法である。

請求項 3 に係る発明は、第 1 支持層上に形成された第 1 電極パターンの表面に、第 1 電子部品を導電性接合材により接続固定する工程と、上記第 1 支持層の電子部品固定面側に第 1 プリプレグを間にして第 2 電極パターンを有する第 2 支持層を圧着・転写する工程と、上記第 1 プリプレグから第 1 支持層と第 2 支持層とを剝離する工程と、上記剝離工程の前または後に第 1 プリプレグを硬化させる工程と、上記第 1 電極パターンの裏面に第 2 電子部品を導電性接合材により接続固定する工程と、上記第 2 電子部品固定面側に第 2 プリプレグを間にして第 3 電極パターンを有する第 3 支持層を圧着・転写する工程と、上記第 2 プリプレグから第 3 支持層を剝離する工程と、上記剝離工程の前または後に第 2 プリプレグを硬化させる工程とを有し、上記工程を経てプリプレグと電極パターンとを順次積層していくことを特徴とする部品内蔵基板の製造方法である。

請求項 1 に係る発明は、複数の層を一括積層せずに、順次積層している。まず、第 1 電極パターンに第 1 電子部品を導電性接合材により接続固定し、第 1 プリプレグを間にして第 1 電極パターンと第 2 電極パターンとを一体に圧着する。この際、電極パターンを支持層上に形成しておき、プリプレグとの圧着後、剝離することにより、電極パターンを転写する方法を用いる。次に、第 2 電極パターンの裏面に第 2 電子部品を導電性接合材により接続固定し、その上に第 2 プリプレグ

を間にして第 3 電極パターンを圧着・転写する。

このように順次プリプレグと電極パターンとを積層することにより、多層構造の部品内蔵基板を得ることができる。

電極パターンと電子部品との接続は、導電性接合材（はんだ、導電性接着剤、 bumps など）を用いて接合するので、電極パターンと電子部品との接続抵抗を低くでき、接続信頼性を高くすることができる。

請求項 1 では、プリプレグに電極パターンを転写し、このプリプレグを硬化させた後、次のプリプレグを圧着すると同時に、その表面に電極パターンを転写してゆく。そのため、プリプレグ（樹脂層）の間の内層電極は 1 層のみであり、従来の内層電極が 2 層で構成される場合のように、内層電極同士を接触導通させる必要がなく、かつ内層電極間で剝離現象が発生するのを防止できる。

プリプレグに電極パターンを転写し、このプリプレグを硬化させた後で次のプリプレグを積層してゆくので、最初のプリプレグが積層の度に圧縮されることがなく、最初のプリプレグに内蔵された電子部品の電氣的接続が不良になったり、電極パターンが崩れるといった不具合がない。

なお、プリプレグの硬化は、支持層の剝離前でも剝離後でもよい。

請求項 2 に係る発明は、内層電極の表裏面に電子部品を接続する場合に、電極パターンの表面に電子部品を導電性接合材により接続固定した後、これを第 1 プリプレグに転写し、第 1 プリプレグを硬化させた後、電極パターンの裏面に第 2 電子部品を導電性接合材により接続固定し、その上に第 2 プリプレグを圧着する方式である。

従来の場合、内層電極の表裏面に電子部品を接続しようとする、一括積層方式のため電子部品の電極を内層電極に対して接触導通させなければならず、部品電極と内層電極との導通信頼性が低く、かつ接続抵抗も高いという問題があった。これに対し、請求項 2 では一層ずつ順次積層する方式を用いるとともに、表面に第 1 電子部品が導電性接合材によって接続固定された第 1 電極パターンの裏面に第 2 電子部品を導電性接合材によって接続固定するので、内層電極と電子部品との導通信頼性が高く、その接続抵抗も低い。

この場合も、請求項 1 と同様に第 1 プリプレグの硬化後に第 2 プリプレグを圧着するので、第 1 プリプレグに転写された電極パターンのずれや断線、電子部品の接続不良などを防止でき、かつプリプレグ同士の接合剝離が発生しない。

請求項 3 では、請求項 2 における第 1 プリプレグを圧着する工程、及び第 2 プリプレグを圧着する工程において、上記プリプレグの圧着面と反対側の面に電極パターンを有する支持層を配置し、上記圧着と同時にこの支持層をプリプレグに圧着する工程を含み、上記圧着工程の後、上記第 2 支持層をプリプレグから剝離して電極パターンをプリプレグに転写するものである。

請求項 2 において、プリプレグの圧着面と対向する面に電極パターンを形成する場合に、プリプレグの硬化後に厚膜または薄膜の電極パターンを別途形成する方法もあるが、これでは工程数が増加してしまう。

そこで、請求項 3 では、プリプレグの表裏両面に電極パターンを同時に転写することにより、プリプレグの圧着積層後に新たに電極パターンを形成する必要がなく、工程数を削減できる。

請求項 4 のように、プリプレグの硬化後に、この樹脂層の表裏方向に貫通する孔を設ける工程と、上記孔の内部に、樹脂層の表裏面に存在する電極パターンを電氣的に接続する導電路を形成する工程と、をさらに有するのがよい。

従来（特許文献 1）では、プリプレグにスルーホールを形成し、その中に導電材料を埋め込んだ状態で積層し、その後でプリプレグを加熱硬化させるが、加熱硬化の際、プリプレグの硬化収縮によってスルーホールと接触している電極パターンの位置にずれが発生し、接続信頼性が低下する可能性があった。

これに対し、請求項 4 ではプリプレグを硬化させた後で孔（スルーホールまたはビアホール）を設け、この孔の内部に導電路を形成するので、樹脂層の表裏面の電極パターンを位置ずれなく、確実に接続することができる。

導電路の形成方法としては、孔の内面にメッキ処理を施してもよいし、孔の内部に導電ペーストを埋め込み、これを硬化させて導電路を形成してもよい。

請求項5のように、プリプレグの硬化後に、この樹脂層の表裏いずれかの面に存在する電極パターンと、電子部品の外部電極とを繋ぐ孔を形成する工程と、上記孔の内部に、上記電極パターンと電子部品の外部電極とを電氣的に接続する導電路を形成する工程と、をさらに有してもよい。

請求項4では、樹脂層の表裏の電極パターンを相互に接続するものであるが、請求項5では、一方の電極パターンと電子部品の外部電極とを直接接続するものである。スルーホールやビアホールの配線抵抗は通常の銅配線などに比べて高い。そのため、孔の長さをできるだけ短くすることが望ましいが、この場合には、孔の長さを部品の厚み分だけ短くできるので、導電路の抵抗値を低くできる利点がある。

請求項6のように、プリプレグを硬化させる工程は、支持層をプリプレグから剝離する前に仮硬化させる工程と、支持層をプリプレグから剝離した後に本硬化させる工程と、を含むようにしてもよい。

プリプレグを硬化させずに支持層を剝離しようとする、プリプレグと支持層との接着力のために支持層の剝離が困難になったり、プリプレグが破れるという問題が発生することがある。これに対し、支持層をプリプレグから剝離する前に仮硬化させれば、プリプレグの変形を防止しながら支持層をプリプレグから容易に剝離することができる。

なお、仮硬化状態のまま次のプリプレグを積層すると、仮硬化状態のプリプレグが圧縮されて変形する可能性があるので、次のプリプレグの積層前に本硬化させるのがよい。

プリプレグとしてエポキシ系樹脂を使用した場合、仮硬化条件としては、例えば120℃で10～15分程度の加熱処理を行えばよい。本硬化条件としては、例えば170～200℃で1時間程度の加熱処理を行えばよい。

請求項7のように、第2プリプレグの硬化後に、第1プリプレグの第2プリプレグとの接着面とは反対側の面に第3プリプレグを間にして第4電極パターンを有する第4支持層を圧着・転写する工程と、第3プリプレグから第4支持層を剝

離する工程と、剝離工程の前または後に第3プリプレグを硬化させる工程とを設けてもよい。

3層以上のプリプレグを積層する場合、1層目のプリプレグの上に2層目のプリプレグを積層した後、3層目のプリプレグを2層目のプリプレグの上に積層する方法が考えられる。しかし、2層目のプリプレグの硬化収縮によって1層目の樹脂層（プリプレグ）が2層目のプリプレグ方向に反るので、その上にさらに3層目のプリプレグを積層すると、3層目のプリプレグの硬化収縮によって積層構造体の反りがさらに大きくなる。

そこで、請求項7では、1層目のプリプレグの上に2層目のプリプレグを積層した場合、3層目のプリプレグを2層目のプリプレグの上ではなく、1層目のプリプレグの下に積層することで、2層目のプリプレグの硬化収縮による反りの影響を、3層目のプリプレグの硬化収縮によって相殺し、全体として反りの小さい積層構造体を得るようにしたものである。

#### 図面の簡単な説明

図1は本発明方法により製造された部品内蔵基板の第1実施例の断面図である。

図2は図1に示す部品内蔵基板の製造工程図である。

図3は本発明にかかる部品内蔵基板の製造方法の第2実施例の工程図である。

図4は本発明にかかる部品内蔵基板の製造方法の第3実施例の工程図である。

図5は本発明にかかる部品内蔵基板の製造方法の第4実施例の工程図である。

図6は本発明にかかる部品内蔵基板の第5実施例の斜視図である。

図7は本発明にかかる部品内蔵基板の製造方法の第6実施例の工程図である。

図8は従来の部品内蔵基板の製造工程図である。

#### 発明を実施するための最良の形態

図1は本発明にかかる方法により製造された部品内蔵基板Aの第1実施例を示す。

図において、1、2は基板を構成する樹脂層であり、その表裏面には外層電極

3, 4 がパターン形成され、樹脂層 1, 2 の間には内層電極 5 がパターン形成されている。下側の外層電極 4 の内面には電子部品 6 が導電性接合材 7 によって接続固定されており、内層電極 5 の上面には電子部品 8 が導電性接合材 9 によって接続固定されている。上記導電性接合材 7, 9 としては、はんだ、導電性接着剤、 bumps などが使用される。下側の外層電極 4 と内層電極 5 との間は、導電材料を充填したビアホール 10 によって適直接続され、上側の外層電極 3 と内層電極 5 との間も、導電材料を充填したビアホール 11 によって適直接続されている。

ビアホール 10, 11 は例えば直径 100 ~ 500  $\mu\text{m}$ 、長さは 100 ~ 1000  $\mu\text{m}$  の孔であり、レーザやドリルによって加工される。ビアホール 10, 11 に充填される導電材料としては、例えばガラスや樹脂などのバインダに、導電体として Cu、Ag、Ni、Au、Sn、Zn、Pd、Pt やそれらを組み合わせたものを 20 ~ 90 % 含有させたものを使用するのがよい。

上記外層電極 3, 4 および内層電極 5 は、例えば厚みが 10 ~ 40  $\mu\text{m}$  の金属薄膜で形成されている。電極 3, 4, 5 としては、例えば Cu 箔が使用されるが、その上に Au めっき、Sn めっきを形成したり、プリフラックス処理を施してもよい。

樹脂層 1, 2 は例えばエポキシ樹脂中に無機質のフィラーを含有させたものを使用する。無機質フィラーの含有率は例えば 60 ~ 95 % であり、材質として SiC、Al<sub>2</sub>O<sub>3</sub>、AlN など絶縁材料が使用され、そのサイズは例えば 0.1 ~ 10  $\mu\text{m}$  がよい。このように無機質フィラーを含有することで、後述するプリプレグの線膨張係数を下げることができ、電極パターンを構成する配線材料の線膨張係数や導電性接合材の線膨張係数に近づけることができ、加熱時に接合部に負荷される応力を小さくすることができる。そのため、接合部の信頼性を向上させることができる。

次に、上記構成の部品内蔵基板 A の製造方法を図 2 に従って説明する。この製造方法は、請求項 1 に対応するものである。

まず工程（a）として、支持層 1 2 上に貼り付けられている Cu 箔などよりなる電極をエッチングし、回路パターン 4 を形成する。なお、回路パターン 4 は、めっき、蒸着等で直接支持層 1 2 上に形成してもよい。支持層 1 2 は、例えば薄肉な金属板（例えば厚み 1. 0 mm の SUS）で形成されている。

上記電極パターン 4 の所定の位置に導電性接着剤 7 を塗布し、導電性接着剤 7 の上に電子部品 6 を搭載し、例えば 1 2 0 °C に設定されているオーブンに投入して導電性接着剤 7 を硬化させる。導電性接着剤 7 の塗布方法はメッシュスクリーンマスク、メタルマスクなどによる印刷やディスペンスを用いる。ここでは導電性接合材 7 として用いた導電性接着剤が熱硬化型であるため、オーブンで硬化させているが、UV 硬化の接着剤を使用した場合は UV 照射、シアノアクリレート系の接着剤は被着物表面に微量に存在する水分、嫌気性硬化タイプの接着剤の場合は空気（酸素）の遮断により硬化を行う。

次に、工程（b）として、支持層 1 2 の部品搭載側にプリプレグ 2 を間にして、表面に電極パターン 5 を形成した別の支持層 1 3 を圧着すると同時に、プリプレグ 2 を仮硬化させる。圧着によって、電子部品 6 がプリプレグ 2 の中に埋設されるとともに、電極パターン 4, 5 がプリプレグ 2 の表裏面に密着する。仮硬化条件としては、例えば 1 2 0 °C で 1 0 ～ 1 5 分程度の加熱処理を行えばよい。電極パターン 5 は、上記電極パターン 4 と同様の方法で支持層 1 3 上に形成されたものであり、支持層 1 3 は支持層 1 2 と材質、形状が同様のものを使用する。なお、ここでは電極パターン 5 の表面には電子部品が搭載されていないが、適宜接続固定してもよい。

工程（c）はプリプレグ 2 の熱圧着硬化後、支持層 1 2, 1 3 を仮硬化状態のプリプレグ 2 から剝離した状態を示す。剝離によって、プリプレグ 2 の表裏面に電極パターン 4, 5 が転写される。剝離後、プリプレグ 2 を本硬化させる。本硬化条件としては、例えば 1 7 0 ～ 2 0 0 °C で 1 時間程度の加熱処理を行えばよい。

工程（d）は硬化後の樹脂層 2 に対してスルーホールまたはビアホール 1 0 を

加工し、その中に導電材料を埋設することで、表裏の電極パターン 4, 5 を導通させた状態を示す。ビアホール 10 の加工方法は、レーザまたはドリルを用いる。このように硬化状態の樹脂層 2 に対してビアホール 10 を加工するので、ビアホール 10 と電極パターン 4, 5 との接続位置に硬化収縮によるずれが発生せず、精度のよい接続構造が得られる。なお、支持層 12, 13 をプリプレグ 2 から剝離した後、プリプレグ 2 を硬化させる場合には、硬化前のプリプレグに対してレーザを照射してビアホール 10 を形成することも可能である。

工程 (e) は、表側の電極パターン 5 の上に電子部品 8 を導電性接合材 9 によって接続固定した工程を示す。この場合も、導電性接合材 9 として導電性接着剤を使用し、例えば 120℃ に設定されているオーブンに投入して導電性接着剤 9 を硬化させればよい。

工程 (f) は、樹脂層 2 の電子部品 8 の固定面上に、プリプレグ 1 を間にして、表面に電極パターン 3 を形成した別の支持層 14 を圧着すると同時に、プリプレグ 1 を仮硬化させる状態を示す。圧着によって、電子部品 8 がプリプレグ 1 の中に埋設されるとともに、電極パターン 5, 3 がプリプレグ 1 の表裏面に密着する。仮硬化条件は上記と同様である。電極パターン 3 も、上記電極パターン 4 と同様の方法で支持層 14 上に形成すればよい。支持層 14 は支持層 12 と材質、形状は同様のものを使用する。なお、ここでは電極パターン 3 の表面には電子部品が搭載されていないが、電子部品を導電性接合材によって適直接続固定してもよい。

工程 (g) はプリプレグ 1 の熱圧着硬化後、支持層 14 を仮硬化状態のプリプレグ 1 から剝離した状態を示す。剝離によって、プリプレグ 1 の表面に電極パターン 3 が転写される。剝離後、プリプレグ 1 を本硬化させる。本硬化条件は上記と同様である。

工程 (h) は、硬化状態の樹脂層 1 に対してスルーホールまたはビアホール 11 を加工し、その中に導電材料を埋設することで、電極パターン 3, 5 を導通さ

せた状態を示す。

以上の工程（a）～（h）は、2層の樹脂層1，2を持つ部品内蔵基板Aの製造工程であるが、さらに樹脂層1または2の外側に別の樹脂層を順次積層することにより、多層構造の部品内蔵基板Aを構成することも可能である。

図2に示すように、電極パターン4および5に電子部品6，8を導電性接合材7，9によって接続した後、プリプレグ2，1を圧着しているので、プリプレグ2，1の圧着時に電子部品6，8が電極パターン4，5から剝離することがなく、かつ接続抵抗を低くできる。樹脂層1，2の間に介在する電極パターン5は1層のみであるから、2つの樹脂層1，2が電極パターン5を介して強く接合され、電極パターン5を界面とする樹脂層1，2の剝離現象を解消できる。

図3は本発明にかかる部品内蔵基板Bの製造方法を示す。この製造方法は、請求項2に対応するものである。

まず工程（a）では、支持層20上に電極パターン21を形成し、電極パターン21の表面に電子部品22を導電性接合材23によって接続固定する。支持層20、電極パターン21、導電性接合材23は図1，図2に示す第1実施例と同様であるから説明を省略する。

次に、工程（b）では、支持層20の部品搭載面側にプリプレグ24を間にし、別の支持層25を圧着すると同時に、プリプレグ24を仮硬化させる。圧着によって、電子部品22がプリプレグ24の中に埋設されるとともに、電極パターン21がプリプレグ24の下面に密着する。仮硬化条件は、第1実施例と同様である。

工程（c）はプリプレグ24の熱圧着硬化後、支持層20，25を仮硬化状態のプリプレグ24から剝離した状態を示し、プリプレグ24の下面に電極パターン21が転写される。その後、プリプレグ24を本硬化させる。本硬化条件は、第1実施例と同様である。

工程（d）は硬化状態の樹脂層24を反転させ、電極パターン21の裏面に電子部品26を導電性接合材27によって接続固定した状態を示す。

工程（e）では、電子部品 2 6 の固定面上にプリプレグ 2 8 を間にして別の支持層 2 9 を圧着すると同時に、プリプレグ 2 8 を仮硬化させる。圧着によって、電子部品 2 6 がプリプレグ 2 8 の中に埋設されるとともに、プリプレグ 2 8 と電極パターン 2 1 とが密着する。仮硬化条件は、上記と同様である。

工程（f）はプリプレグ 2 8 の熱圧着硬化後、支持層 2 9 を仮硬化状態のプリプレグ 2 8 から剝離した状態を示す。剝離後、プリプレグ 2 8 を本硬化させる。本硬化条件は、第 1 実施例と同様である。

上記のようにして 2 層構造の部品内蔵基板 B が得られるが、その後、樹脂層 2 4，2 8 の表裏面に電極パターンを形成し、スルーホールまたはビアホールを設けて内層電極 2 1 を外部に引き出してもよい。

以上のように、1 つの内層電極 2 1 の表裏面に電子部品 2 2，2 6 を接続する場合に、それぞれの電子部品 2 2，2 6 を導電性接合材 2 3，2 7 によって内層電極 2 1 に接続固定しているので、内層電極 2 1 と電子部品 2 2，2 6 との導通信頼性が高く、その接続抵抗を低くできる。

図 4 は本発明にかかる部品内蔵基板 C の製造方法を示す。この製造方法は、請求項 3 に対応するものである。

まず工程（a）では、支持層 3 0 上に電極パターン 3 1 を形成し、電極パターン 3 1 の表面に電子部品 3 2 を導電性接合材 3 3 によって接続固定した状態を示す。支持層 3 0、電極パターン 3 1、導電性接合材 3 3 は図 1，図 2 に示す第 1 実施例と同様であるから説明を省略する。

次に、工程（b）では、支持層 3 0 の部品搭載面側にプリプレグ 3 4 を間にして、表面に電極パターン 3 6 を形成した別の支持層 3 5 を圧着すると同時に、プリプレグ 3 4 を仮硬化させる。仮硬化条件は、第 1 実施例と同様である。

工程（c）はプリプレグ 3 4 の熱圧着硬化後、支持層 3 0，3 5 を仮硬化状態のプリプレグ 3 4 から剝離した状態を示す。剝離後、プリプレグ 3 4 を本硬化させる。本硬化条件は、第 1 実施例と同様である。

工程（d）は硬化状態の樹脂層 3 4 に対してスルーホールまたはビアホール 3

7, 38を加工し、その中に導電材料を埋設することで、表裏の電極パターン31, 36を導通させると同時に、電極パターン36と電子部品32の外部電極とを導通させた状態を示す。ビアホール37, 38の加工方法は、第1実施例と同様である。このようにビアホール38が電極パターン36と電子部品32の外部電極とを導通させるので、電子部品32の厚み分だけビアホール38を短くでき、導回路の抵抗値を低くできる。

工程(e)は硬化状態の樹脂層34を反転させ、電極パターン31の裏面に電子部品39を導電性接合材40によって接続固定した状態を示す。

工程(f)では、電子部品39の固定面上にプリプレグ41を間にして、表面に電極パターン43を形成した別の支持層42を圧着すると同時に、プリプレグ41を仮硬化させる。仮硬化条件は、第1実施例と同様である。

工程(g)はプリプレグ41の熱圧着硬化後、支持層42を仮硬化状態のプリプレグ41から剥離した状態を示す。剥離後、プリプレグ41を本硬化させる。本硬化条件は、第1実施例と同様である。

工程(h)は、硬化済みの樹脂層41に対してスルーホールまたはビアホール44, 45を加工し、その中に導電材料を埋設することで、表裏の電極パターン43, 31を導通させると同時に、電極パターン43と電子部品39の外部電極とを導通させた状態を示す。

この部品内蔵基板Cでは、上述の部品内蔵基板Bと同様に、1つの内層電極31の表裏面に電子部品32, 39が導電性接合材33, 40によって接続固定されているので、内層電極31と電子部品32, 39との導通信頼性が高く、その接続抵抗を低くできる。また、プリプレグ34, 41の圧着と同時に、外層電極36, 43が転写によって同時に形成されるので、外層電極36, 43を形成する工程を省略できる。

図5は本発明にかかる部品内蔵基板Dの製造方法を示す。この製造方法は、内部にシールド電極を設けた部品内蔵基板の例である。

工程(a)では、樹脂層51の表裏面に、表面に電子部品53を導電性接合材

54によって接続固定した電極パターン52と、シールド電極55とを転写したシート50を準備する。このシート50の製造方法は、例えば図2の(a)～(d)と同様であり、表面側の電極をほぼ全面電極よりなるシールド電極55としたものである。なお、電極パターン52とシールド電極55との間はビアホール56によって接続されている。

上記シート50のシールド電極55上に、プリプレグ57を間にして、表面に電極パターン59を形成した別の支持層58を圧着する。電極パターン59上には、電子部品60が導電性接合材61によって接続固定されている。上記圧着と同時に、プリプレグ57を仮硬化させる。

工程(b)は支持層58を剝離した状態を示す。この状態において、プリプレグ57はシールド電極55の裏面に強固に接着固定され、プリプレグ57の中に電子部品60が埋設されると同時に、電極パターン59がプリプレグ57上に転写される。その後、プリプレグ57を本硬化させる。

工程(c)では、硬化後の樹脂層57にビアホール62を形成し、その内部に導電材料を埋設することにより、シールド電極55と電極パターン59とが接続される。

上記のように、内層電極としてシールド電極55を有するので、部品内蔵基板Dの異なる層に実装されている電子部品からの発生ノイズや、外部からの電磁波ノイズを遮断でき、良好な電気特性が得られる。シールド電極55の電極面積は、良好なシールド効果を得るためには単層面積(電極面積と非電極面積との合計面積)の60%以上必要であり、90%以上が望ましい。

図6は本発明にかかる部品内蔵基板Eの構造を示す。

この実施例は、上記部品内蔵基板Dと同様にシールド電極を有する例であるが、シールド電極70を外層電極として設けたものである。

この部品内蔵基板Eでは、内層電極71を間にして2層の樹脂層72、73が設けられ、内層電極71の表裏面に電子部品74、75が導電性接合材76、77によって接続固定されている。このうち、電子部品74ははんだや導電性接着剤76によって内層電極71に実装されたチップ部品であるが、電子部品75は

パンプ 77 によって内層電極 71 に実装されたベアチップである。なお、電極パターン 71, 78 はビアホール 79a によって接続され、シールド電極 70 と内層電極 71 はビアホール 79b によって接続されている。

この部品内蔵基板 E は、図 4 に示す製造方法において、電極パターン 43 に代えてシールド電極 70 を用いるだけで、同様に製造できる。

図 7 は本発明にかかる部品内蔵基板 F の製造方法を示す。この製造方法は、請求項 7 に対応するものであり、3 層構造の例である。

工程 (a) ~ (f) は、第 3 実施例 (図 4 参照) における工程 (b) ~ (h) とほぼ同様であるから、同一符号を付して説明を省略する。

工程 (g) では、2 層構造の部品内蔵基板を上下反転させ、工程 (h) で上側の電極パターン 36 の裏面に電子部品 80 を導電性接合材 81 によって接続固定する。

工程 (i) では、電子部品 80 の固定面上にプリプレグ 82 を間にして、表面に電極パターン 84 を形成した別の支持層 83 を圧着すると同時に、プリプレグ 82 を仮硬化させる。つまり、プリプレグ 82 を、1 層目のプリプレグ 34 に対して 2 層目のプリプレグ 41 とは反対側の面に圧着させる。

工程 (j) はプリプレグ 82 の熱圧着硬化後、支持層 83 を仮硬化状態のプリプレグ 82 から剝離した状態を示す。

工程 (k) は仮硬化状態のプリプレグ 82 を本硬化させた後、この樹脂層 82 に対してスルーホールまたはビアホール 85 を加工し、その中に導電材料を埋設することで、表裏の電極パターン 36, 84 を導通させた状態を示す。なお、ビアホール 85 を、電極パターン 84 と電子部品 80 の外部電極とを直接導通させてもよい。

この実施例では、3 層目のプリプレグ 82 を、1 層目のプリプレグ 34 に対して 2 層目のプリプレグ 41 とは反対側の面に積層している。その理由は、1 層目のプリプレグ 34 の硬化後、2 層目のプリプレグ 41 を積層し、硬化させた時、その硬化収縮によって 2 層構造の基板は 2 層目のプリプレグ 41 方向に反ることになる。そこで、3 層目のプリプレグ 82 を 1 層目のプリプレグ 34 に対して 2

層目のプリプレグ 4 1 とは反対側の面に積層することで、3 層目のプリプレグ 8 2 の硬化収縮によって、2 層目のプリプレグ 4 1 方向に反った 2 層構造の基板を逆方向に反らせることができ、全体として反りの少ない 3 層構造の基板を実現することができる。

上記実施例では、電子部品を電極パターンに接続固定するために導電性接着剤を使用したか、はんだを使用してもよい。はんだの中でも、地球環境の面から鉛フリーはんだを使用するのがよい。例えば、Sn に Ag、Bi、Cu、Zn、In を 1 ～ 4 種類含有させたものを用いる。

また、導電性接着剤の場合、エポキシまたはウレタンをバインダとし、その中に導電材料として Ag、Cu、Ni、Au、Sn、Zn、Bi やそれらを組合わせたものを含有させたものを用いることができる。

上記実施例では、支持層の剝離前にプリプレグを仮硬化させ、支持層の剝離後にプリプレグを本硬化させる例について説明したが、支持層の剝離前にプリプレグを本硬化させてもよい。

#### 産業上の利用可能性

以上の説明で明らかなように、請求項 1 に係る発明によれば、複数の層を一括積層せずに、プリプレグと電極パターンとを順次積層することにより、多層構造の部品内蔵基板を得ているので、電極パターンと電子部品とを導電性接合材を用いて接合することができ、電極パターンと電子部品との接続抵抗を低くでき、接続信頼性を高くすることができる。

また、プリプレグ（樹脂層）の間の内層電極は 1 層のみであり、内層電極が 2 層で構成される場合のように、内層電極同士を接触導通させる必要がなく、かつ内層電極間で剝離現象が発生するのを防止できる。

プリプレグに電極パターンを転写し、このプリプレグを硬化させた後で次のプリプレグを積層してゆくの、最初のプリプレグが積層の度に圧縮されることがなく、最初のプリプレグに内蔵された電子部品の電氣的接続が不良になったり、電極パターンの形状が崩れるといった不具合がない。

請求項 2 に係る発明によれば、内層電極の表裏面に電子部品を接続する場合に、表面に第 1 電子部品が導電性接合材によって接続固定された第 1 電極パターンをプリプレグに転写した後、第 1 電極パターンの裏面に第 2 電子部品を導電性接合材によって接続固定し、第 1 電極パターンの裏面上に別のプリプレグを圧着するので、内層電極である第 1 電極パターンと電子部品との導通信頼性が高く、その接続抵抗を低くすることができる。そのため、電気特性が安定した部品内蔵基板を得ることができる。

請求項 3 に係る発明によれば、内層電極の表裏面に電子部品を接続する場合に、プリプレグの圧着面と反対側の面に電極パターンを有する支持層を配置し、圧着と同時に電極パターンをプリプレグに転写するので、請求項 2 の作用効果に加え、プリプレグの圧着積層後に新たに電極パターンを形成する必要がなく、工程数を削減できる。

## 請求の範囲

1. 第1支持層上に形成された第1電極パターンに、第1電子部品を導電性接合材により接続固定する工程と、

上記第1支持層の電子部品固定面側に第1プリプレグを間にして第2電極パターンを有する第2支持層を圧着・転写する工程と、

上記第1プリプレグから第1支持層と第2支持層とを剝離する工程と、

上記剝離工程の前または後に第1プリプレグを硬化させる工程と、

上記第2電極パターンの裏面に第2電子部品を導電性接合材により接続固定する工程と、

上記第2電子部品固定面側に第2プリプレグを間にして第3電極パターンを有する第3支持層を圧着・転写する工程と、

上記第2プリプレグから第3支持層を剝離する工程と、

上記剝離工程の前または後に第2プリプレグを硬化させる工程とを有し、

上記工程を経てプリプレグと電極パターンとを順次積層していくことを特徴とする部品内蔵基板の製造方法。

2. 支持層上に形成された電極パターンの表面に、第1電子部品を導電性接合材により接続固定する工程と、

上記支持層の第1電子部品固定面側に第1プリプレグを圧着する工程と、

上記第1プリプレグから上記支持層を剝離する工程と、

上記剝離工程の前または後に第1プリプレグを硬化させる工程と、

上記電極パターンの裏面に第2電子部品を導電性接合材により接続固定する工程と、

上記第2電子部品固定面側に第2プリプレグを圧着する工程と、

上記第2プリプレグを硬化させる工程とを有する部品内蔵基板の製造方法。

3. 第1支持層上に形成された第1電極パターンの表面に、第1電子部品を導電性接合材により接続固定する工程と、

上記第 1 支持層の電子部品固定面側に第 1 プリプレグを間にして第 2 電極パターンを有する第 2 支持層を圧着・転写する工程と、

上記第 1 プリプレグから第 1 支持層と第 2 支持層とを剝離する工程と、

上記剝離工程の前または後に第 1 プリプレグを硬化させる工程と、

上記第 1 電極パターンの裏面に第 2 電子部品を導電性接合材により接続固定する工程と、

上記第 2 電子部品固定面側に第 2 プリプレグを間にして第 3 電極パターンを有する第 3 支持層を圧着・転写する工程と、

上記第 2 プリプレグから第 3 支持層を剝離する工程と、

上記剝離工程の前または後に第 2 プリプレグを硬化させる工程とを有し、

上記工程を経てプリプレグと電極パターンとを順次積層していくことを特徴とする部品内蔵基板の製造方法。

4. 上記プリプレグの硬化後に、この樹脂層の表裏方向に貫通する孔を設ける工程と、

上記孔の内部に、樹脂層の表裏面に存在する電極パターンを電氣的に接続する導電路を形成する工程と、をさらに有することを特徴とする請求項 1 ないし 3 のいずれかに記載の部品内蔵基板の製造方法。

5. 上記プリプレグの硬化後に、この樹脂層の表裏いずれかの面に存在する電極パターンと、電子部品の外部電極とを繋ぐ孔を形成する工程と、

上記孔の内部に、上記電極パターンと電子部品の外部電極とを電氣的に接続する導電路を形成する工程と、をさらに有することを特徴とする請求項 1 ないし 3 のいずれかに記載の部品内蔵基板の製造方法。

6. 上記プリプレグを硬化させる工程は、

上記支持層を上記プリプレグから剝離する前に仮硬化させる工程と、

上記支持層を上記プリプレグから剝離した後に本硬化させる工程と、を含むことを特徴とする請求項 1 ～ 5 に記載の部品内蔵基板の製造方法。

7. 上記第2プリプレグの硬化後に、

上記第1プリプレグの第2プリプレグとの接着面とは反対側の面に第3プリプレグを間にして第4電極パターンを有する第4支持層を圧着・転写する工程と、

上記第3プリプレグから第4支持層を剝離する工程と、

上記剝離工程の前または後に第3プリプレグを硬化させる工程とを有することを特徴とする請求項1～6のいずれかに記載の部品内蔵基板の製造方法。

図 1

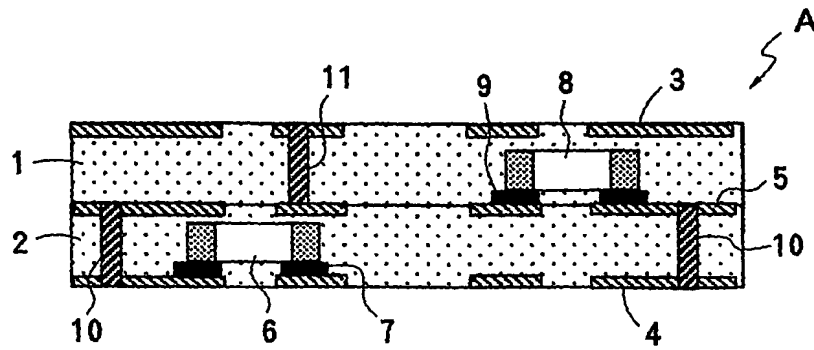


図 2

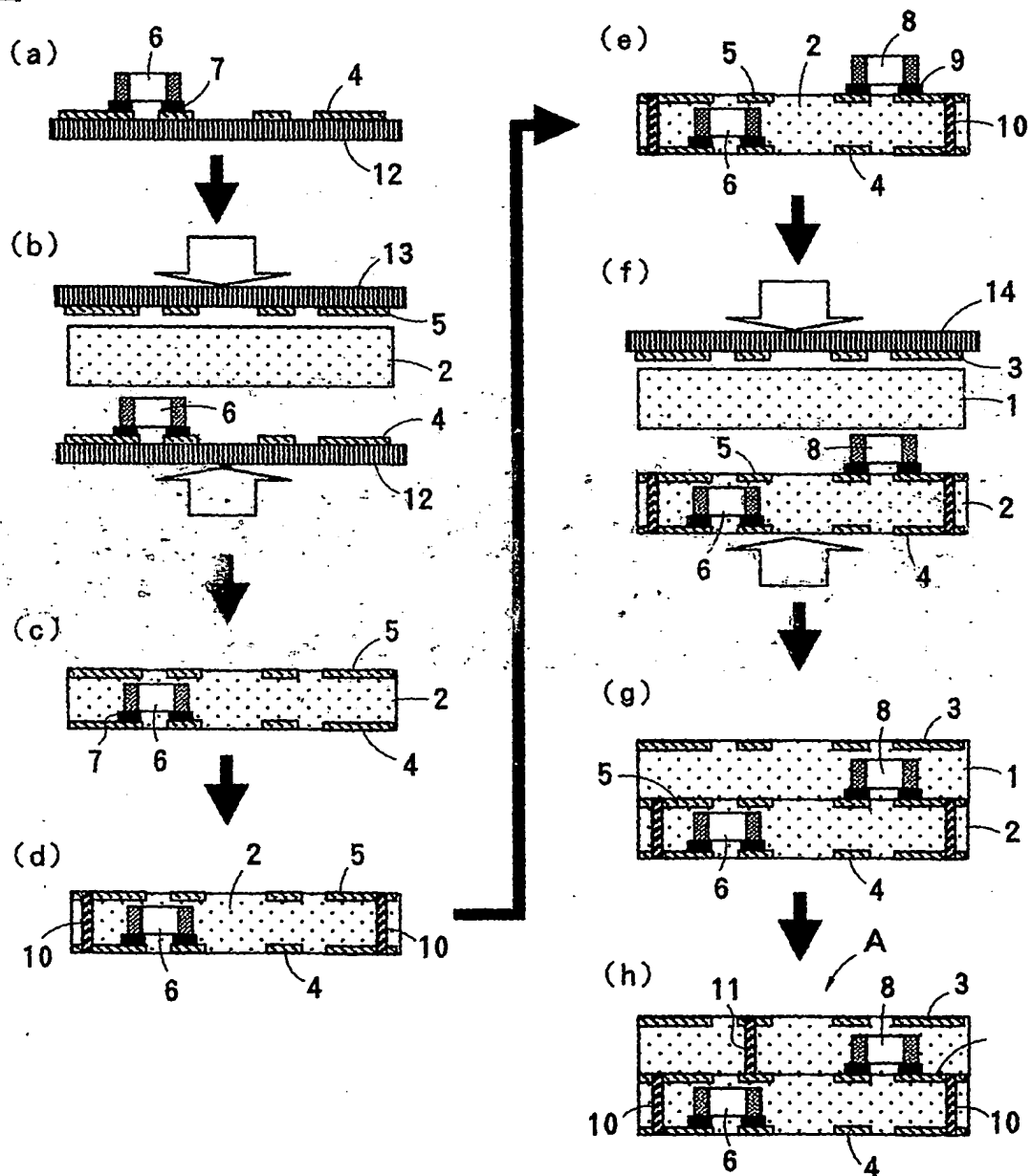


図3

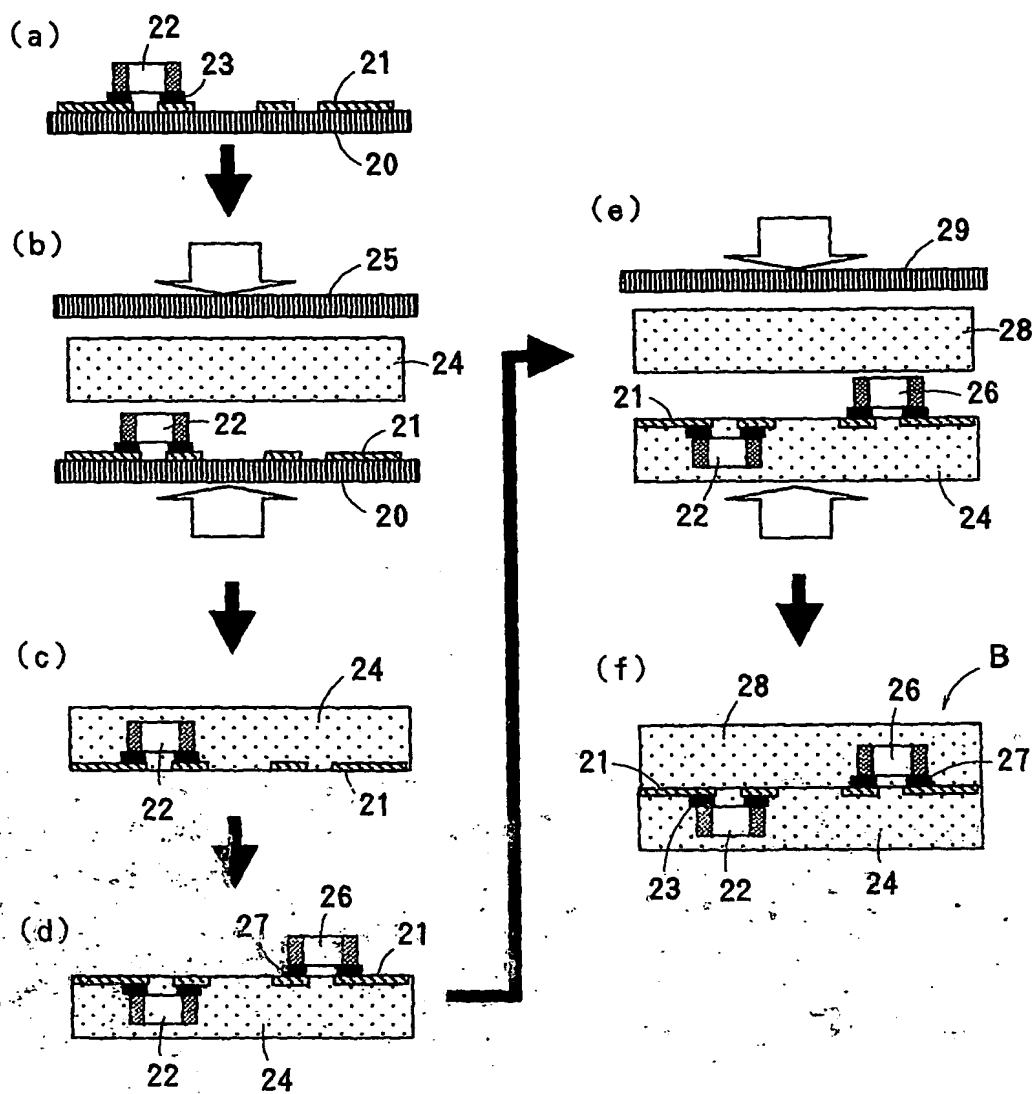


図4

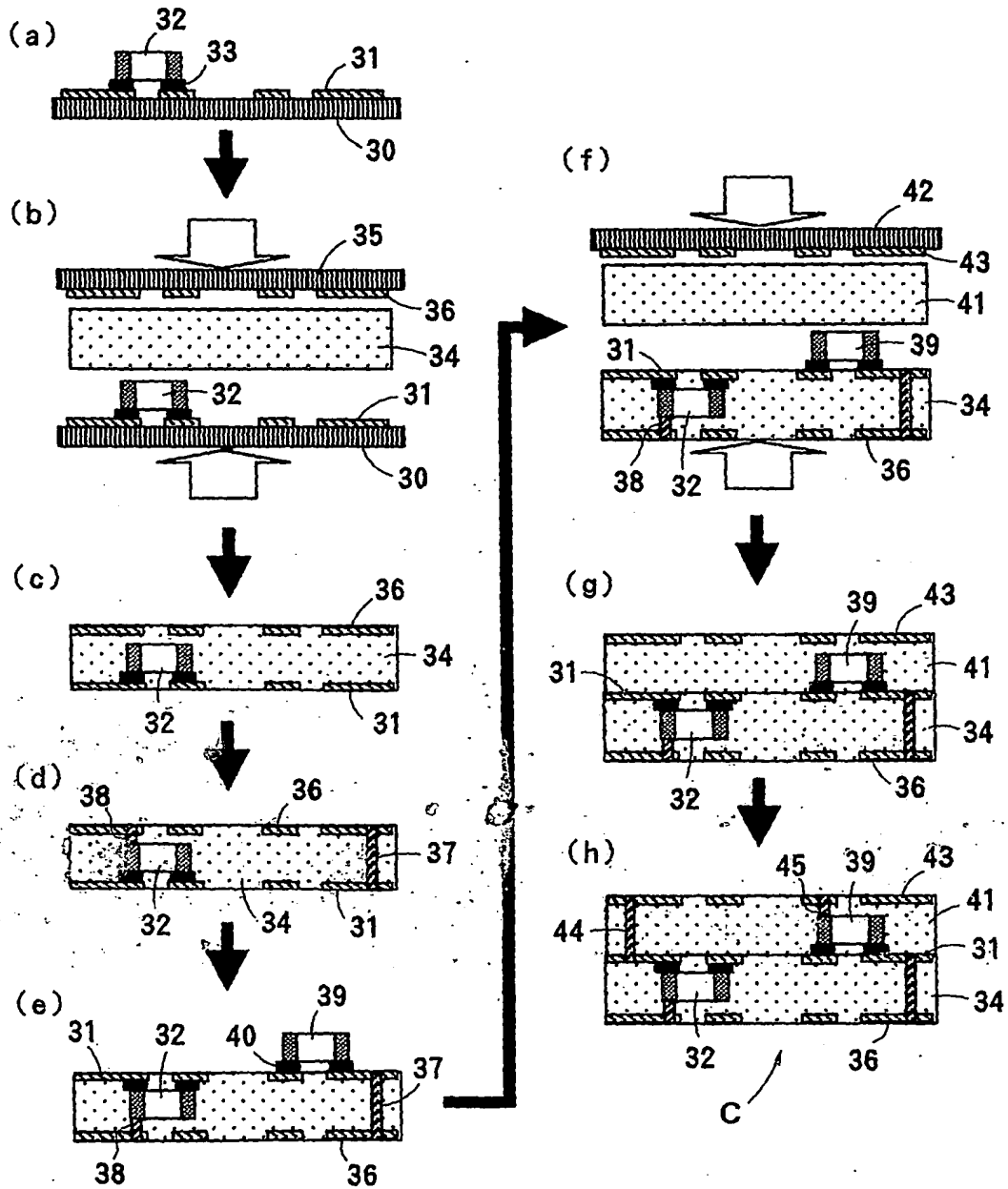


図5

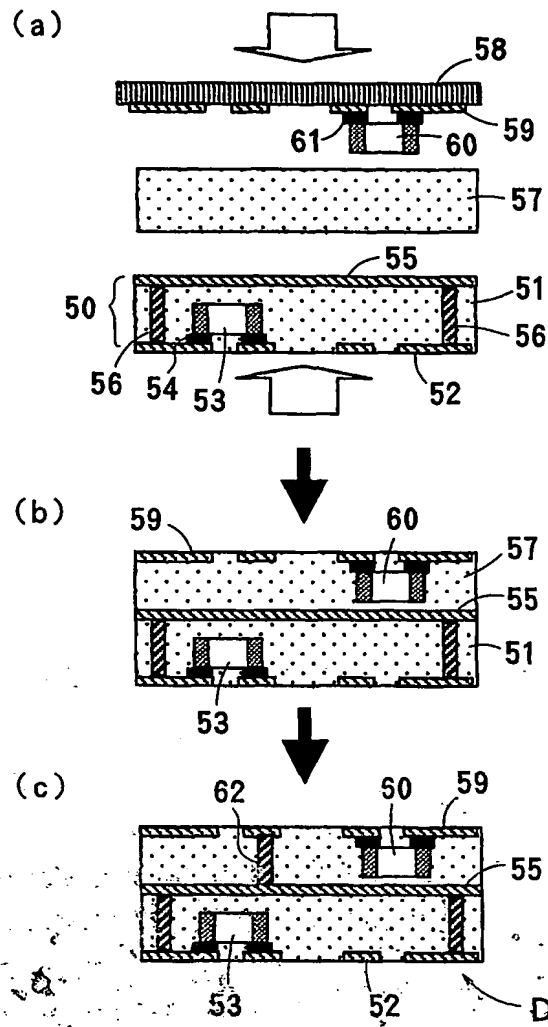


図6

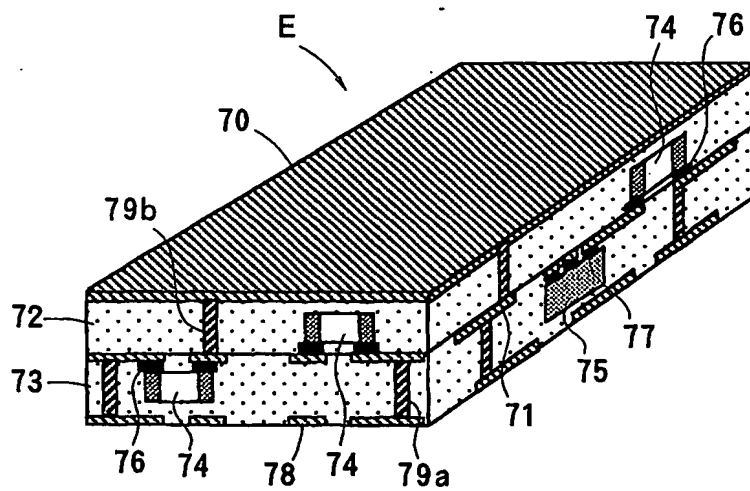


図7

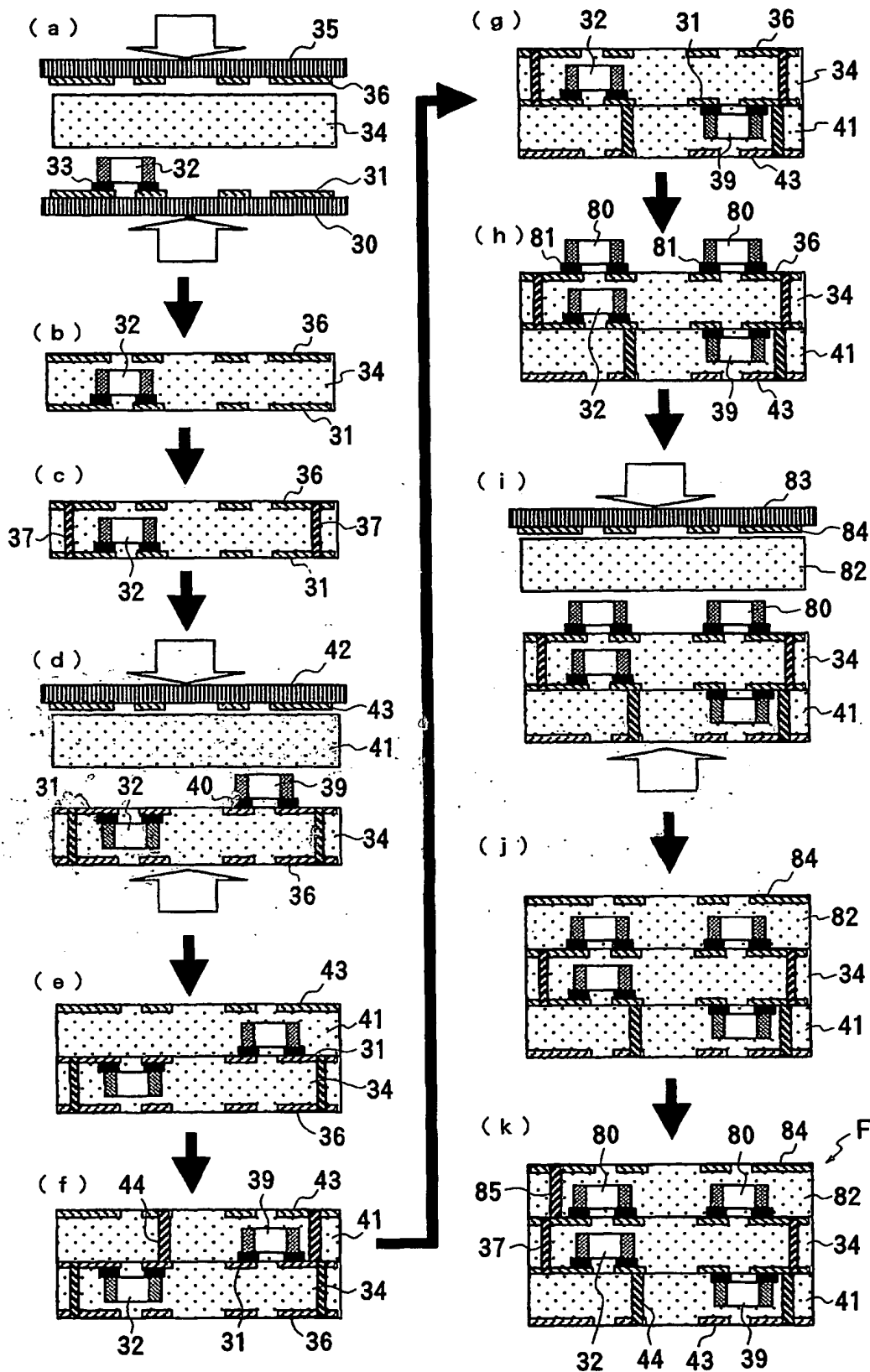
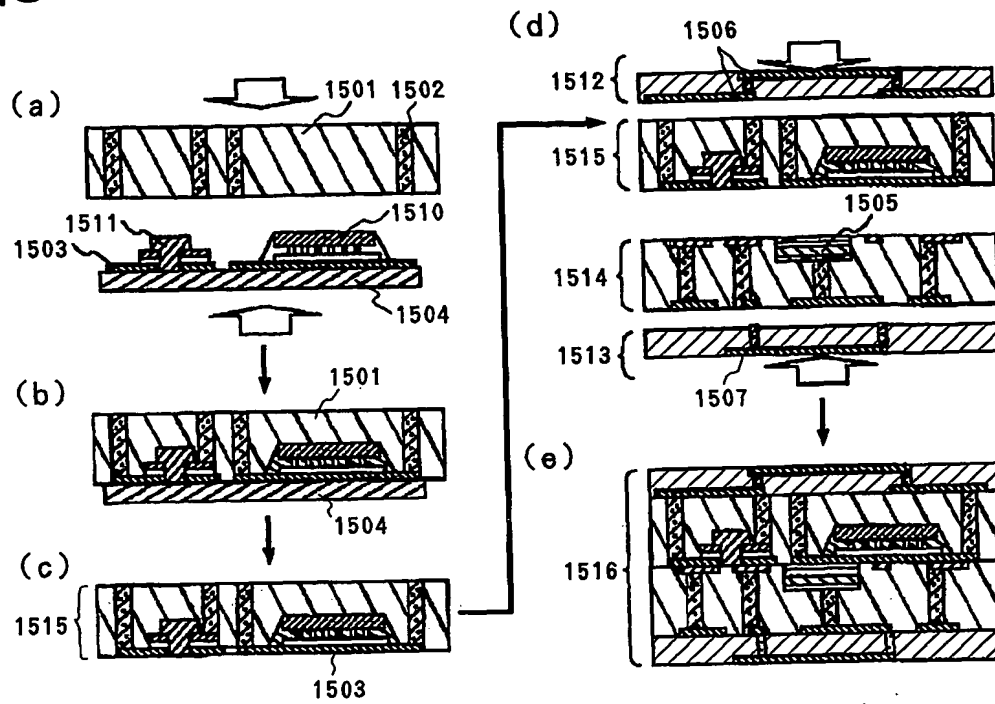


図8



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/004380

A. CLASSIFICATION OF SUBJECT MATTER  
Int.Cl<sup>7</sup> H05K3/46

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H05K3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2004
Kokai Jitsuyo Shinan Koho	1971-2004	Toroku Jitsuyo Shinan Koho	1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2002-261449 A (Matsushita Electric Industrial Co., Ltd.), 13 September, 2002 (13.09.02), Full text; Fig. 7 & US 2002/0117743 A1	1-7
Y	JP 2003-133743 A (Matsushita Electric Industrial Co., Ltd.), 09 May, 2003 (09.05.03), Full text; Fig. 2 (Family: none)	2-7
A	JP 2003-078250 A (Matsushita Electric Industrial Co., Ltd.), 14 March, 2003 (14.03.03), Full text (Family: none)	1

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&amp;" document member of the same patent family

Date of the actual completion of the international search  
28 June, 2004 (28.06.04)Date of mailing of the international search report  
13 July, 2004 (13.07.04)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H05K3/46

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>7</sup> H05K3/46

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年  
 日本国公開実用新案公報 1971-2004年  
 日本国実用新案登録公報 1996-2004年  
 日本国登録実用新案公報 1994-2004年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 2002-261449 A (松下電器産業株式会社) 2002. 09. 13, 全文, 第7図 & US 2002/0117743 A1	1-7
Y	JP 2003-133743 A (松下電器産業株式会社) 2003. 05. 09, 全文, 第2図 (ファミリーなし)	2-7
A	JP 2003-078250 A (松下電器産業株式会社) 2003. 03. 14, 全文 (ファミリーなし)	1

☐ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの  
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)  
 「O」 口頭による開示、使用、展示等に言及する文献  
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
 「&」 同一パテントファミリー文献

国際調査を完了した日

28. 06. 2004

国際調査報告の発送日

13. 7. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)  
 郵便番号100-8915  
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)  
 長屋 陽二郎

3S 8811

電話番号 03-3581-1101 内線 6232